

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-283584

(43)Date of publication of application : 12.10.2001

(51)Int.Cl.

G11C 11/22
H01L 21/8244
H01L 27/11
H01L 27/105

(21)Application number : 2001-033986

(71)Applicant : HITACHI LTD

(22)Date of filing : 23.06.1993

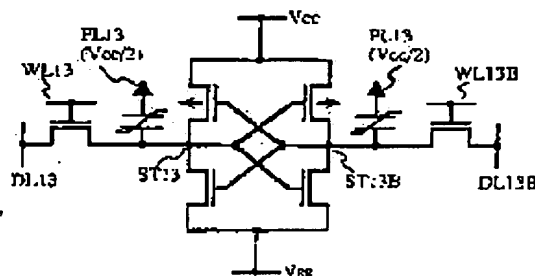
(72)Inventor : TAKEUCHI MIKI
MATSUNO KATSUMI
NAKAGOME YOSHINOBU
AOKI MASAKAZU

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a ferroelectric memory having similar constitution to a SRAM and also having high integration, high reliability, and high speed characteristics.

SOLUTION: This memory comprises flip-flop circuits provided at intersections of plural word lines (WL13, WL13B) and data lines (DL13, DL13B), and in which accumulation electrodes of two capacitors are coupled respectively to information accumulation node (ST13, ST13B). a first potential and a second potential are applied to the accumulation electrodes of the capacitors, while a third potential ($V_{cc}/2$) is applied to a plate electrodes of the capacitors. The flip-flop circuit comprises a first inverter having a first input node (ST13) and a first output node (ST13B) and a second inverter making two nodes connected to the ST13 and the ST13B as a second input node and a second output node. On the other hand, the accumulation electrode of the one side of capacitors is connected to the ST13 and the accumulation electrode of the other side of capacitors is connected to the ST13B.



LEGAL STATUS

[Date of request for examination] 09.02.2001

[Date of sending the examiner's decision of rejection] 26.12.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-283584

(P 2 0 0 1 - 2 8 3 5 8 4 A)

(43)公開日 平成13年10月12日(2001.10.12)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード	(参考)
G11C 11/22	501	G11C 11/22	501	A
			501	L
			501	Q
H01L 21/8244		H01L 27/10	381	
27/11			444	B
審査請求 有 請求項の数 2 O L (全 9 頁) 最終頁に続く				

(21)出願番号 特願2001-33986(P2001-33986)
(62)分割の表示 特願平5-151917の分割
(22)出願日 平成5年6月23日(1993.6.23)

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72)発明者 竹内 幹
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(73)発明者 松野 勝己
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(74)代理人 100077274
弁理士 磯村 雅俊 (外1名)

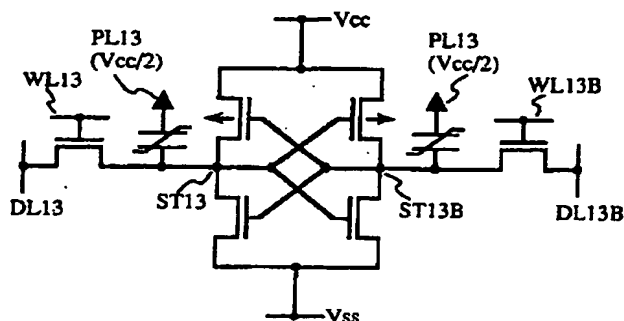
[最終頁に続く](#)

(54) 【発明の名称】 半導体メモリ

(57) 【要約】

【課題】SRAMに類似の構成を持ち、高集積・高信頼性かつ高速の強誘電体メモリを提供する。

【解決手段】複数のワード線（WL 1 3，WL 1 3 B）と複数のデータ線（DL 1 3，DL 1 3 B）の交点に設けられ、二個のキャパシタの蓄積電極が情報蓄積ノード（ST 1 3，ST 1 3 B）に各々結合されるフリップフロップ回路を含む。キャパシタの蓄積電極に第 1 電位と第 2 電位を印加するとともに、キャパシタのプレート電極に第 3 電位（Vcc/2）を印加する。フリップフロップ回路は、第 1 入力ノード（ST 1 3）と第 1 出力ノード（ST 1 3 B）を持つ第 1 インバータと、ST 1 3、ST 1 3 B に接続された二つのノードを第 2 入力ノード、第 2 出力ノードとする第 2 インバータとを含んでいる。一方のキャパシタの蓄積電極が ST 1 3 に、他方のキャパシタの蓄積電極が ST 1 3 B に接続される。



【特許請求の範囲】

【請求項1】 複数のワード線と複数のデータ線の交点に設けられ、強誘電体を絶縁膜として使用する二個のキャパシタと前記二個のキャパシタの蓄積電極がその情報蓄積ノードに各々結合されるフリップフロップ回路を含む複数のメモリセルと、
前記複数のメモリセルの各メモリセルのキャパシタの蓄積電極に第1電位または第2電位を印加するための手段と、
前記複数のメモリセルの各メモリセルのキャパシタのプレート電極に、前記第1電位と第2電位の間の電位である第3電位を印加するための手段を備えることを特徴とする半導体メモリ。

【請求項2】 請求項1記載の半導体メモリにおいて、前記フリップフロップ回路は、第1入力ノードと第1出力ノードを持つ第1インバータと、前記第1出力ノードに接続された第2入力ノードと前記第1入力ノードに接続された第2出力ノードを持つ第2インバータとを含み、
前記二個のキャパシタのうち一方のキャパシタの前記蓄積電極が前記第1入力ノードに接続され、他方のキャパシタの前記蓄積電極が前記第1出力ノードに接続されることを特徴とする半導体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、強誘電体を用いた不揮発性の半導体メモリに関し、特に最新の情報を不揮発情報として保持でき、高集積・高信頼性かつ高速動作を実現する強誘電体メモリに関する。

【0002】

【従来の技術】強誘電体を用いたメモリ、フェロ・エレクトリック・ランダム・アクセス・メモリ(FERAM)は、強誘電体の分極方向で記憶を行う不揮発メモリである。図2は、このようなFERAMの一例として、特開平3-283176号公報に述べられているアレー構成を示したものである。従来のダイナミック・ランダム・アクセス・メモリ(DRAM)と同様に、メモリセルは1トランジスタ1キャパシタからなる。所望のセルに不揮発情報を書き込むには、トランジスタを選択的にオン状態にして所望のキャパシタの一方の電極をデータ線、たとえばDL(j)に接続した後、DL(j)を0またはVccとする。すると、プレート線はVcc/2の電位にあるので、所望の強誘電体キャパシタに選択的に電界がかかり、不揮発情報に対応する分極が生じる。この分極方向は、強誘電体の特性として、電源を切っても失われない。一方、セルの不揮発情報を読出すには、たとえば、データ線DL(j)を0Vに充電した後、フローティング状態にし、その後トランジスタを選択的にオン状態にする。すると、プレート線はVcc/2の電位にあるので、選択された強誘電体キャパシタに電界がか

かる。この電界は常に一定方向であり、不揮発情報に対応して、強誘電体の分極方向をそのまま維持する場合と、反転させる場合とがある。そして、分極が反転する場合には、メモリセルへの大きな電流の流れ込みがある。この流れ込み電流を、たとえば、特開平3-283176号公報に述べられている方法で検知すれば、不揮発情報を読み出すことができる。ところが、上記説明から明らかなように、不揮発情報を読出す度に、強誘電体の分極方向は1方向にそろうので、情報の再書き込みが必要である。そして、分極が反転する方向の記憶状態にある場合、読み出し動作の度に2回の分極反転を必ず経る必要がある。一方、強誘電体キャパシタは分極反転の度に劣化していき、ついには、電圧が印加されていない時に分極を維持することができなくなることが知られている。したがって、FERAMが高信頼性の不揮発メモリであるためには、分極反転の回数はできるだけ少ない方がよい。また、別の問題として、分極の反転には一定の時間を要するため、その分読み出し速度が遅くなるという問題もある。分極反転に伴う強誘電体膜の劣化、および読み出し速度の低下の問題を解決する方法として、特開平3-283176号公報には、次の方法が提案されている。すなわち、通常の動作時にはプレート線を、たとえばVccにしてDRAMとして用い、電源をオフする前に上記FERAM書き込み動作により不揮発情報として格納する。プレート線をVccにすれば、蓄積部の電位0またはVccに対していずれの場合も情報が反転することがなく、したがって、強誘電体キャパシタの劣化の問題を回避でき、読み出し速度の低下もない。次に電源をオンするときに、上記FERAM動作により不揮発情報を読み出せば、実効的に不揮発メモリとして機能させることができる。

【0003】

【発明が解決しようとする課題】しかしながら、上記DRAM、FERAM両用方式では、揮発情報から不揮発情報への変換動作が複雑であるという問題があった。すなわち、すべてのメモリセルについて、まずDRAM動作で情報を読み出した後、その情報に対応してFERAM動作で不揮発情報として格納する必要がある。特に、不慮の事故によって電源がオフ状態となった場合、以上の変換動作を速やかに終了させることは極めて困難である。上記方式においてDRAMとして用いている期間には、強誘電体の分極はすべて1方向に揃っているので、不慮の電源オフに伴い、記憶情報がすべて失われてしまうことになる。また、携帯機器など、小規模なシステムにおいて本メモリを用いる場合、電源オフ時のバックアップ用電源等を用いた冗長な終了手続きは望ましくないという問題もある。このような問題を解決する方法として、スタティック・ランダム・アクセス・メモリ(SRAM)とFERAMとを組み合わせた方法が、たとえば特開平1-66899号公報において提案されている。

この方法では、SRAMの2つの記憶ノードそれぞれに、トランジスタを介して強誘電体キャパシタを接続する。通常動作時には、上記トランジスタをオフ状態にしてSRAMとして動作させ、必要に応じてトランジスタをオン状態にして強誘電体キャパシタに接続し不揮発情報として格納する。不意の事故によって電源がオフした場合でも、少なくとも最も最近に格納した不揮発情報は維持されているので、次の作業はその時点から再開すれば良い。しかし、この方式においては、揮発メモリと不揮発メモリとを分離するための余分のトランジスタが必要であり、メモリセル面積の増大を招くという問題があった。本発明の目的は、このような問題点を改善し、DRAMと同じ1トランジスタ1キャパシタからなる構成でありながら、分極反転による強誘電体キャパシタの劣化を緩和でき、かつ不意の事故によって電源がオフした場合でも、最新の情報が不揮発情報として保持される、高集積・高信頼性かつ高速動作の不揮発メモリ（強誘電体メモリ）を提供することにある。また、SRAMと同様なメモリセル構成で、余分のトランジスタなしに高信頼性かつ高速動作の不揮発メモリ（強誘電体メモリ）を提供することにある。

【0004】

【課題を解決するための手段】上記目的を達成するため、本発明の強誘電体メモリは、少なくとも一つのトランジスタ一つの強誘電体キャパシタとから構成されるメモリセルを複数個有する半導体メモリにおいて、通常は揮発メモリ、たとえばDRAMとして読み出し・書き込み動作を行ない、電源オフ時にはプレート電位を速やかにグラウンド電位（0V）にするための手段（プリチャージ回路、電源電位検知回路、プレート電位供給回路等）を設けたことに特徴がある。ただし、プレート電位は $V_{cc}/2$ とし、読み出し時のデータ線プリチャージ電位も同じく $V_{cc}/2$ とする。また、より信頼性を向上させるため、プレートが共通のワード線に接続されているメモリセルに対してのみ共通とする構成（複数のプレート線を有する構成）としたり、あるいは上記手段をSRAMに持たせたことに特徴がある。なお、本メモリは、書き換え回数に比べて、読み出し回数が多いシステム、たとえばプログラムに基づいて計算を進める場合のデータやプログラム自身の格納などに適用する。

【0005】

【作用】本発明においては、読み出し動作は、揮発性メモリ、たとえばDRAMと同様に、蓄積ノードの電圧を検知することで行われる。この電圧検知および増幅は、プレート電位およびデータ線プリチャージ電位を $V_{cc}/2$ に設定している効果として、分極反転を伴うことなく行われるので、強誘電体膜の劣化、および読み出し速度の低下の問題がない。しかも、その分極方向は、最も最近に書き換えられた最新の情報が保持されている。言い換えれば、蓄積ノード電位としての揮発情報と強誘電体

膜の分極方向としての不揮発情報とが常に一致している。書き換え動作時には分極反転を伴うが、その書き換え回数の制限は、たとえばエレクトリカリ・イレイサブル・プログラマブル・リード・オンリ・メモリ（EEPROM）において考えられている制限、 10^6 回よりはるかに大きい 10^{11} 回以上と予想されるので、多くのシステムに問題なく適用できる。たとえば、書き換え回数に比べて読み出し回数が一般的に多い、プログラムに基づいて計算を進める場合のデータやプログラム自身の格納などに適用できる。電源オフ時には、蓄積ノードの電位が、 V_{cc} から0Vに降下する以前に、プレート電位を速やかに $V_{cc}/2$ から0Vに降下させる手段を設けることにより、分極方向が保持され、最も最近に書き換えられた最新の不揮発情報を残すことができる。次に電源をオンする時に、FERAMの読み出し動作にしたがって、強誘電体膜に分極方向として記憶された不揮発情報をデータ線に増幅すれば、蓄積ノードの電位としての揮発情報に変換することができる。すなわち、高集積・高信頼性かつ高速動作の不揮発メモリを実現できる。

【0006】

【実施例】以下、本発明の一実施例を図面により説明する。

（第1の実施例）図1は、本発明の第1の実施例における強誘電体メモリのアレー構成を示す図である。本実施例のメモリセルM1は、1つのトランジスタと1つの強誘電体キャパシタとからなる。強誘電体キャパシタのプレートPL1の電位は、常に $V_{cc}/2$ に固定される。一方、強誘電体キャパシタの蓄積ノードST1には、揮発情報 V_{cc} または0が保持される。データ線DL1（j）およびDL1（j）Bの電位は、プリチャージ回路PC1（j）により、読み出し又は書き換え動作直前まで、 $V_{cc}/2$ に保持される。データ線対には、記憶情報を検知、増幅するためのセンスアンプSA1（j）が接続されている。本アレーは、電源オンの時に強誘電体膜の分極方向を読み出し、その不揮発性情報を揮発性情報に変換するためのダミーセルDM1を有する。また、信号線GWL1およびそれに接続するトランジスタは、不揮発性情報の読み出し動作を行う際に、データ線対を0Vにプリチャージするために用いる。

【0007】図3は、図1のメモリセルアレーにおける記憶情報読み出し動作を示すタイミングチャートである。本実施例では、蓄積ノードST1の蓄積電圧を検知するため、まず、プリチャージ制御線PCL1の電位を V_{cc} から0にする。この結果、データ線は電位 $V_{cc}/2$ のフローティング状態となる。次に、ワード線WL1（i）の電位を、0から V_{ch} に上げる。ここで、 V_{ch} は V_{cc} に比べ少なくともトランジスタのしきい電圧だけ高い電位である。この結果、蓄積ノードの電位が V_{cc} であった場合には、データ線DL1（j）の電位がDL1（j）Bの電位すなわち $V_{cc}/2$ よりやや

高くなり、一方、0であった場合には、DL1(j)の電位はDL1(j)Bにくらべやや低くなる。この電位差をセンスアンプSA1(j)で検知、増幅することにより、DL1(j)の電位は蓄積ノードの電位に一致してVccまたは0となる。DL1(j)Bの電位はDL1(j)と反対の電位になる。なお、センスアンプを動作させるには、センスアンプpチャネルトランジスタ制御線SAP1、センスアンプnチャネルトランジスタ制御線SAN1をそれぞれVccおよび0にすれば良い。以上の動作により、選択されたワード線WL1(i)につながるすべてのメモリセルの情報が、それぞれに接続されたデータ線に読み出される。このうち一つのメモリセルの情報を選択的にIO線を介して外部に読出すためには、センスアンプ選択線YS1(j)の電位を0からVchにし、所望のデータ線をIO線に接続すれば良い。読み出し動作を終了するには、YS1(j)の電位をVchから0に戻した後、ワード線WL1(i)を0に戻せば、蓄積ノードST1は情報が再書き込みされた状態でデータ線から電氣的に切り離される。PCL1をVccに、SAP1、SAN1をそれぞれ0およびVccに戻せば、読み出し動作前の状態となり、動作が終了する。本実施例によれば、読み出し動作前に蓄積ノードの電位に対応して強誘電体膜に記憶されていた分極方向は、読み出し動作中に反転することがない。なぜなら、読み出し動作中に、分極を反転させる方向の電界が強誘電体キャパシタにかかることがないからである。したがって、読み出し動作に伴う、強誘電体膜の劣化を避けることができる。また、分極反転に要する時間に起因した、読み出し速度の低下もない。しかも、記憶情報は、蓄積ノードの揮発情報としてだけでなく、強誘電体膜の分極方向に対応した不揮発情報としても常に保持される。したがって、いつ電源をオフしても情報が消失することはない。このように、本実施例によれば、高集積、高信頼性、高速の不揮発メモリが得られる。

【0008】図4は、図1のメモリセルアレーにおける情報書き換え動作を示すタイミングチャートである。本実施例における情報の書き換えでは、蓄積ノードST1の電位反転と共に、強誘電体膜の分極反転を行う。図4の書き換え動作において、信号線PCL1をVchから0に下げた後からセンスアンプを動作させるまでは、図3で説明した読み出し動作と同様である。次に、IO線に準備した書き換え情報をメモリセルに書き込むため、信号線YS1(j)を0からVchに上げる。この結果、データ線対DL1(j)およびDL1(j)Bの電位が反転する。ワード線WL1(i)は活性化された状態にあるので、上記データ線対電位反転にともなう、所望のメモリセルの蓄積ノード電位および強誘電体膜の分極方向が反転する。このようにして、情報の書き換えをおこなった後、図3と同様な手順で書き換え動作を終了する。本発明の実施例によれば、揮発情報と不揮発情報と

が常に一致して書き換えられるので、いつ電源をオフしても情報が消失しない、高信頼性の不揮発メモリが得られる効果がある。なお、センスアンプにラッチされた電位を信号線YS1(j)の活性化により容易に反転させるため、ワード線WL1(i)を一旦非活性化にしてデータ線の負荷を軽くしてからデータ線電位を反転し、その後再度ワード線を活性化してメモリセル情報の反転を行っても良い。

【0009】図5は、図1のメモリセルアレーにおける、電源オン時の不揮発性情報から揮発性情報への変換動作を示すタイミングチャートである。本実施例では、電源投入前には、すべての電位は0Vにある。電源オンにともなう、プレートPL1はVcc/2に、センスアンプの信号線SAP1、SAN1は0およびVccに初期化される。また、信号線PCLの電位は、0からVccに立ち上がり、その結果、データ線対DL1(j)、DL1(j)Bの電位はVcc/2にプリチャージされる。この時、ワード線電位は0Vを保持し蓄積ノードST1をフローティング状態として、プレート昇圧時に強誘電体膜の分極方向が破壊されないようにする。プレートPL1およびデータ線対DL1(j)、DL1(i)Bの電位が確実にVcc/2の電位に安定化したら、ワード線WL1(i)(i=1, 2, ..., n)を順次活性化し、蓄積ノードST1をプレートPL1と同じVcc/2の電位として、分極情報の保持をより安定化する。以上の初期化動作に引き続き、不揮発性情報から揮発性情報への変換動作に移行する。まず、ワード線がすべて0Vの状態、PCL1の電位を0Vにし、データ線をフローティング状態にする。次に、信号線GWL1を活性化して、データ線を0Vにプリチャージし再びフローティング状態にする。その後、ワード線WL1(i)を活性化すれば、蓄積ノードST1からデータ線に電流が流れ、データ線電位が上昇する。その上昇量は強誘電体膜の分極方向に依存する。すなわち、データ線電位上昇後もプレート電位の方が高いので、分極方向は1方向に揃う。上記ワード線活性化により分極の反転を伴う場合の方が、反転を伴わない場合に比べて、実効的な強誘電体キャパシタ容量が大きく、その結果、データ線電位上昇量も大きい。このデータ線電位上昇量から、強誘電体膜の初期の分極方向を知ることができる。具体的には、2つの分極状態に対応するデータ線電位上昇量の間値を相補データ線DL1(j)Bに発生するダミーセルDM1を設け、データ線対DL1(j)・DL1(j)Bの電位差をセンスアンプSA1(j)により検知、増幅すれば良い。ダミーセルのキャパシタは、たとえば上記所望の電位上昇量を発生する適当な容量の常誘電体キャパシタとする。センスアンプの働きによりデータ線電位がVcc又は0に充電される結果、蓄積ノードST1には揮発性情報が書き込まれる。最後にワード線を非活性化した後、データ線電位をVcc/2

に戻して一連の動作を終了する。上記動作をワード線 $WL1(i)$ ($i=1, 2, \dots, n$) について順次行えば、不揮発性情報から揮発性情報への変換動作が完了する。本実施例によれば、情報読み出し動作に伴う強誘電体膜の分極の反転を、電源投入時だけにすることができるので、強誘電体膜の劣化を少なくできる。また、通常使用時に、分極反転に要する時間に起因した読み出し速度の低下もない。しかも、電源をオフした時点での情報を記憶しており、次に電源をオンしたときにそれらの情報を復活させることができる。このように、本実施例によれば、高信頼性、高速の不揮発メモリが得られる。

【0010】図6は、図1の強誘電体メモリアレーにおける、電源オン時にまず行うべき基本的な初期動作を示すタイミングチャートである。本実施例では、電源オンにより電源電圧が一定レベル以上に上昇したことを検知する。これが確認されたら、プレート $PL1$ の電圧を $V_{cc}/2$ に上げ、たとえば図5で説明した不揮発情報から揮発情報への変換作業にうつる。一方、電源がオンされてから少なくともプレート電位供給が終了するまでの間は、ワード線電位は $0V$ に保持される。本実施例によれば、プレート電圧を昇圧するとき、蓄積ノードは必ずフローティング状態にあるので、強誘電体キャパシタに分極方向を変化させるほどの電界がかかることがなく、したがって電源をオンする前に強誘電体メモリに保持されていた不揮発記憶情報が電源オンに伴う動作により破壊されることがない。このように、本実施例によれば、高信頼性の不揮発メモリが得られる。

【0011】図7は、図1の強誘電体メモリアレーにおける、電源オフ時に行うべき基本的な終了動作を示すタイミングチャートである。本実施例では、電源が意図的、あるいは不測の事態によってオフ状態になったとき、電源電圧が一定レベル以下になったことを検知する電源電圧検知回路が作動して、終了動作を開始する。まず、すべてのワード線 $WL1(i)$ を $0V$ にする。次に、プレート $PL1$ の電圧を $V_{cc}/2$ から $0V$ へ速やかに放電する。本実施例によれば、蓄積ノードがたとえば V_{cc} であったとき、蓄積ノードの電位が接合リーク電流等によって $0V$ へゆっくり放電される前にプレート電位を $0V$ にすることができるので、強誘電体キャパシタに分極を反転させる方向の電界がかからず、したがって、意図的あるいは不測の事態によって電源をオフしても、不揮発記憶情報が破壊されることがない。このように、本実施例によれば、簡単な終了動作で、高信頼性の不揮発メモリが得られる。なお、一定時間電源電圧が低下して再び回復するような、ある種のノイズに対しても図7の動作が有効に機能し、高信頼性の強誘電体メモリが得られる効果のあることは言うまでもない。図6及び図7の動作に用いる電源電圧検知回路としては、たとえば図8の特性を持つ回路を使用すればよい。通常の使用電圧 V_{cc} より低い一定の電圧を境界として、その電圧

以下では電源電圧検知回路の出力 V_{out} はほぼ $0V$ となり、その電圧以上では電源電圧に等しくなる。具体的回路としては、たとえば図9に示すように差動アンプを利用して構成すれば良い。

【0012】図10は、図1の強誘電体メモリアレーにおけるプレート電位供給回路を示す図である。本実施例のプレートは、 n チャネル電界効果トランジスタ TR_1 を介して、 $V_{cc}/2$ のレベルに接続されると同時に、 p チャネル電界効果トランジスタ TR_2 を介して、グラウンドレベル $0V$ に接続される。トランジスタの共通ゲートは、電源と同電位のレベルの端子か、あるいは電源電圧検知回路の出力端子に接続される。電源オンの時には上記 p チャネルトランジスタのゲート電圧は V_{cc} となり、プレートはグラウンドレベルから電氣的に切り離される。電源オフとともに上記 n チャネルトランジスタのゲート電圧は $0V$ になり、プレートは $V_{cc}/2$ のレベルから電氣的に切り離されると共に、上記 p チャネルトランジスタのゲート電圧が $0V$ となることにより、 p チャネルトランジスタがオンしてプレート電位は速やかに $0V$ に降下する。ここで、上記ゲートに負荷する寄生容量をできるだけ小さくし、電源オフと共に速やかに $0V$ になるようにする。本実施例によれば、簡単な回路で電源オフ時にプレート電圧を速やかに $0V$ に降下させることができるので、不意の電源オフ時にも強誘電体膜の分極が反転することが無く、したがって情報が破壊されることがない高信頼性の強誘電体メモリが得られる。

【0013】(第2の実施例) 図11は、本発明の第2の実施例における強誘電体メモリのアレー構成を示す図である。第1の実施例(図1)においてはプレートがすべてのメモリセルに対して共通であるのに対し、図11では共通のワード線に接続されているメモリセルに対してのみ共通であり、複数のプレート線 $PL10(i)$ 、 $PL10(i+1)$ から構成される。本実施例においては、通常使用時には図3及び図4と同様な方法で揮発メモリとして用いる。一方、電源オン時の不揮発性情報から揮発性情報への変換動作時には、以下に説明する動作方法により、活性化されたワード線に接続するメモリセルに対してそのプレート線のみを選択的に昇圧して不揮発性情報を読出す。

【0014】図12は、図11のメモリセルアレーにおける、電源オン時の不揮発性情報から揮発性情報への変換動作を示すタイミングチャートである。本実施例では、電源オン直後にはすべてのノードはグラウンドレベル $0V$ にある。まず、信号線 $SAN10$ を V_{cc} にしてセンスアンプを非活性にするとともに、接地用ワード線 $GWL10$ を V_{cc} にしてデータ線対の電位を確実に $0V$ にする。 $GWL10$ を $0V$ にもどしてデータ線対をフローティング状態にしたのち、ワード線 $WL10(i)$ を活性化する。次に、上記ワード線に接続するメモリセル群のプレート線を $V_{cc}/2$ に昇圧すると、強誘電体キ

ャバシタを介してデータ線が昇圧される。この電位昇圧量は強誘電体キャパシタの分極方向に依存して異なるので、これを検知すれば不揮発情報を読出すことができる。この時、相補データ線DL10(j)B側には基準となる電圧を発生するように、図5で説明したのと同様なダミーセルを設けておく。データ線対の微小な電圧差は、信号線SAN10、SAP10によりセンスアンプを活性化することにより、増幅される。最後に、ワード線を非活性化し、センスアンプも非活性化すれば、不揮発情報から揮発情報への変換動作が終了する。以上の変換動作を、すべてのワード線WL10(i)(i=1, 2, ..., n)についておこなえば、すべての不揮発情報を揮発情報に変換することができる。ただし、電源投入後、2回目以降のワード線活性化においては、図12において点線で示したように、信号線SAP10をVccから0に下げる必要がある。また、図12においては、1つのワード線についての変換動作の終了の度に、信号線PCL10を活性化し、データ線をVcc/2にプリチャージしている。これにともない、2回目以降のワード線活性化においては、図12において点線で示したように、まず、PCL10を非活性化し、次にGWL10を活性化してデータ線電位をVcc/2から0に下げる必要がある。しかし、1つのワード線についての変換動作の終了の度に、必ずしも信号線PCL10を活性化する必要はない。本実施例によれば、プレート線を昇圧する際には、それにつながる強誘電体キャパシタの分極方向を必ず検知することになるので、不揮発情報から揮発情報への変換動作を安定に行える効果がある。すなわち、ある強誘電体キャパシタの不揮発情報を読み出している間に、非選択の強誘電体キャパシタの情報が破壊される必配がまったくない。

【0015】(第3の実施例)図13は、本発明の第3の実施例における強誘電体メモリアレー構成を示す図である。本実施例の強誘電体メモリに揮発情報を蓄えるときには、1つのメモリセルを1つの記憶単位とするのに対し、不揮発情報を蓄えるときは、2つのメモリセルを1つの記憶単位とする。そして、2つのメモリセルの強誘電体キャパシタには逆方向の分極が記録される。不揮発情報の読み出しは、図5の動作方法と同様に行われる。ただし、ダミーセルは用いず、2つのメモリセルに接続するワード線WL12(i)、WL12(i+1)を同時に活性化する。読み出された不揮発情報は揮発情報として2つのメモリセルに相補的に変換される。すなわち、それぞれの強誘電体キャパシタの分極方向に対応した蓄積電圧となる。揮発メモリとしての通常動作時には、2つのうち1つのメモリセル記憶情報だけで十分なので、他の1つのメモリセルは、一時的な計算にのみ必要で不揮発情報として残す必要がない記憶情報を蓄えるのに用いることができる。本実施例によれば、不揮発情報を読出す際のダミーセルが不要であり、不揮発メモリ

としての動作をより安定に行える。

【0016】(第4の実施例)図14は、本発明の第4の実施例における強誘電体メモリセルを示す図であり、スタティック・ランダム・アクセス・メモリ(SRAM)に類似の構成を持つ強誘電体メモリを構成するものである。本実施例では、フリップフロップで構成される相補的な記憶ノード、ST13およびST13Bには、それぞれ強誘電体キャパシタが接続される。強誘電体キャパシタのプレート電圧は電源電圧のほぼ半分の値Vcc/2である。本実施例によれば、ST13およびST13Bの電圧としての揮発情報を読出すときには、強誘電体キャパシタの分極は反転しない。揮発情報を書き換えるときに分極方向も同時に反転する。したがって、揮発情報は強誘電体キャパシタの分極方向としての不揮発情報と常に一致しており、電源をいつオフしても情報を残すことができる利点がある。また、分極反転は情報書き換え時だけの最小限に抑えられるので、強誘電体膜の疲労を少なくでき、高信頼性の強誘電体メモリが得られる。

【0017】

【発明の効果】本発明によれば、高集積・高信頼性かつ高速の強誘電体メモリが提供される。

【図面の簡単な説明】

【図1】本発明の第1の実施例における強誘電体メモリアレー構成を示す図である。

【図2】従来の強誘電体メモリアレー構成を示す図である。

【図3】図1のメモリセルアレーにおける記憶情報読み出し動作を示すタイミングチャートである。

【図4】図1のメモリセルアレーにおける情報書き換え動作を示すタイミングチャートである。

【図5】図1のメモリセルアレーにおける、電源オン時の不揮発性情報から揮発性情報への変換動作を示すタイミングチャートである。

【図6】図1の強誘電体メモリアレーにおける、電源オン時にまず行うべき基本的な初期動作を示すタイミングチャートである。

【図7】図1の強誘電体メモリアレーにおける、電源オフ時にまず行うべき基本的な終了動作を示すタイミングチャートである。

【図8】本発明の第1の実施例における電源電圧検知回路の出力特性を示す図である。

【図9】本発明の第1の実施例における電源電圧検知回路の構成を示す図である。

【図10】本発明の第1の実施例におけるプレート電位供給回路の構成を示す図である。

【図11】本発明の第2の実施例における強誘電体メモリアレー構成を示す図である。

【図12】図11のメモリセルアレーにおける、電源オン時の不揮発性情報から揮発性情報への変換動作を示す

タイミングチャートである。

【図13】本発明の第3の実施例における強誘電体メモリのアレー構成を示す図である。

【図14】本発明の第4の実施例における強誘電体メモリセルを示す図である。

【符号の説明】

DLn(j) データ線
 WLn(i) ワード線
 WLn(i)B 相補ワード線
 DWLn ダミーワード線
 DWLnB 相補ダミーワード線
 GWLn 接地用ワード線
 PCn(j) プリチャージ回路
 PCLn プリチャージ制御線

SAn(j) センスアンプ

SAPn センスアンプpチャネルトランジスタ制御線

SANn センスアンプnチャネルトランジスタ制御線

IO_n 入出力線

IO_nB 相補入出力線

YSn(j) センスアンプ選択線

Mn メモリセル

STn 蓄積ノード

DMn ダミーセル

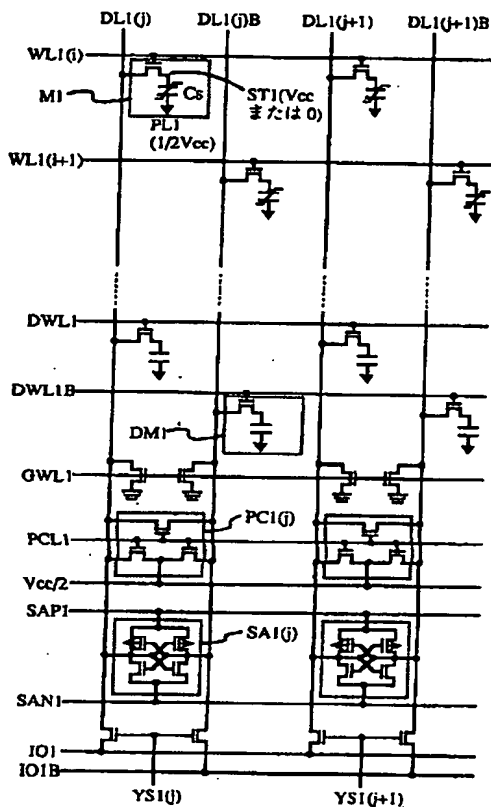
10 PL10(i) プレート線

DPL10 ダミープレート線

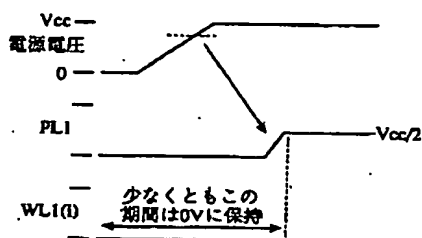
TR_n nチャネル電界効果トランジスタ

TR_p pチャネル電界効果トランジスタ

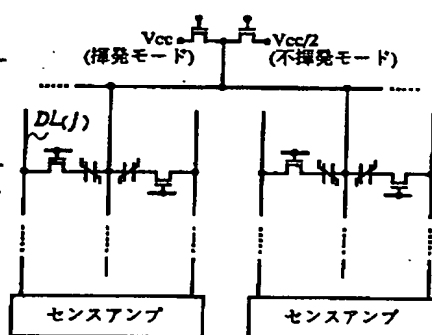
【図1】



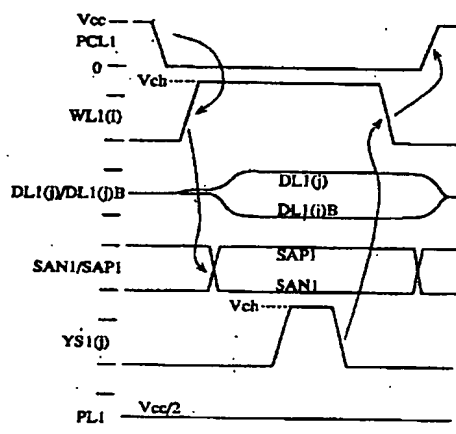
【図6】



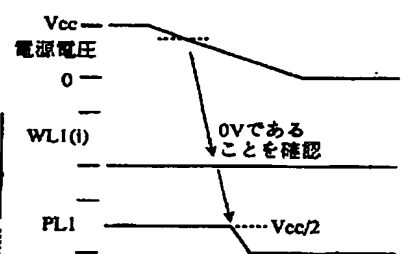
【図2】



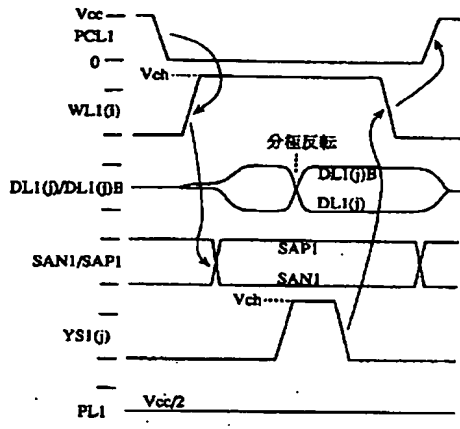
【図3】



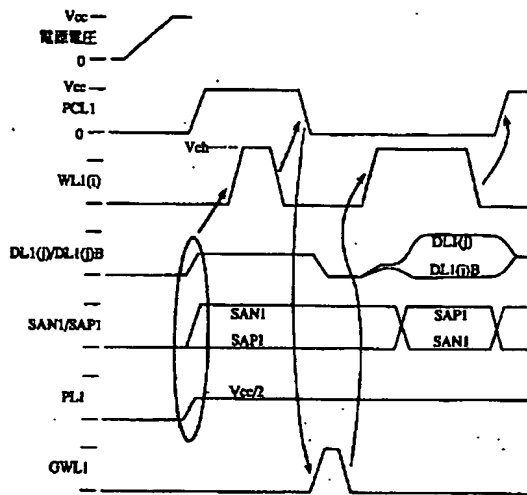
【図7】



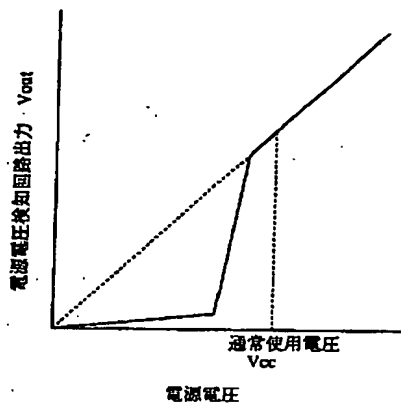
【図 4】



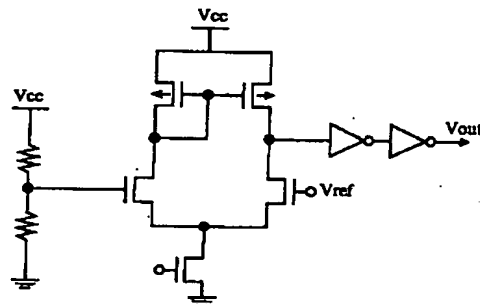
【図 5】



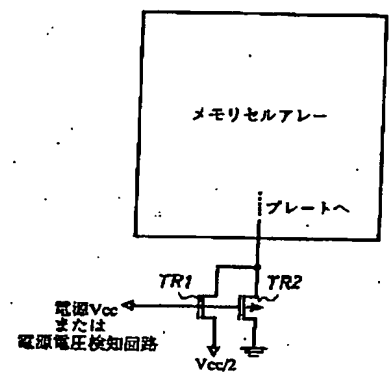
【図 8】



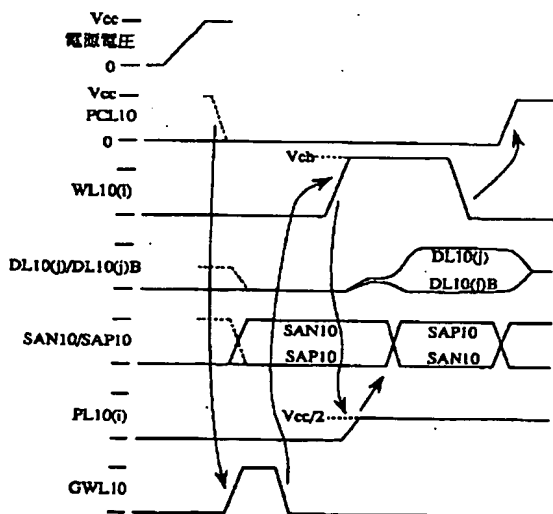
【図 9】



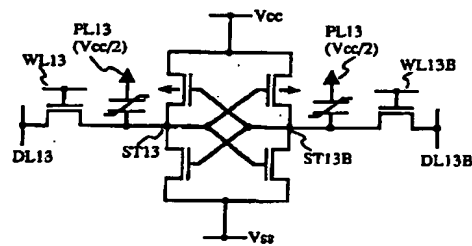
【図 10】



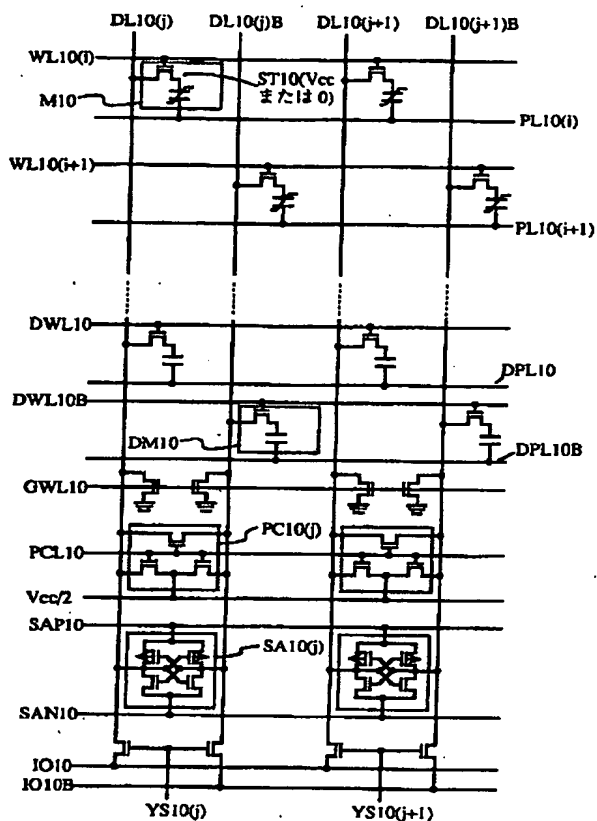
【図 12】



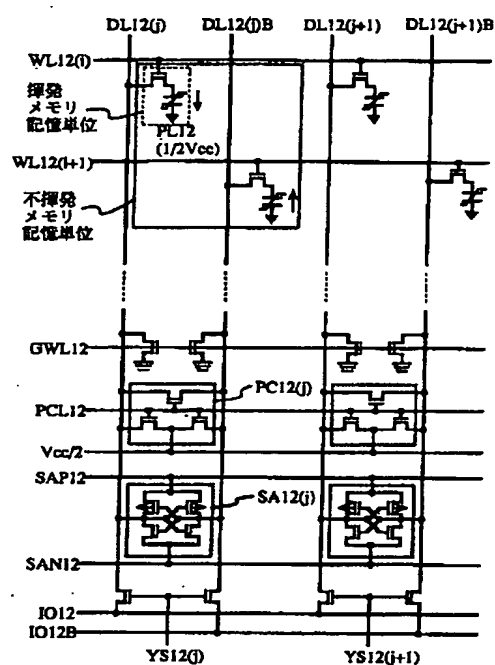
【図 14】



【図11】



【図13】



フロントページの続き

(51) Int. Cl.⁷

識別記号

F I

テーマコード (参考)

H 0 1 L 27/105

(72) 発明者 中込 儀延

東京都国分寺市東恋ヶ窪 1 丁目280番地
株式会社日立製作所中央研究所内

(72) 発明者 青木 正和

東京都国分寺市東恋ヶ窪 1 丁目280番地
株式会社日立製作所中央研究所内